山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130120 | 姓名： 李上一 | | 班级： 23.1 |
| 实验题目：综合实验 | | | |
| 实验学时：2 | | 实验日期： 2025/5/20 | |
| 实验目的：  本次实验旨在通过综合运用之前所学的运算器和控制器知识，设计并实现一个简单的 CPU，掌握 CPU 的基本组成和工作原理，同时学会运用微程序设计方法实现对 CPU 的控制，完成特定的算术逻辑运算任务。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  CPU 综合实验电路组成 ：CPU 综合实验电路包括运算器电路和控制器电路。运算器由三个寄存器 R0、R1、R2、移位器、加法器等构成，并组装在一起构成 ALU 算术逻辑运算部件；控制器采用微程序控制器，由控制存储器（CROM）、微程序计数器（μPC）和微指令寄存器（μIR）构成，微程序计数器 μPC 向控制存储器提供微地址，在控存读信号 μRD 作用下，读出微指令代码并送入 μIR，从而实现对 CPU 的控制。  微指令格式与功能 ：将微指令格式分为两部分，前面部分 μIR23～μIR20 用于设置数据，后面部分 μIR7～μIR0 用于确定微命令，例如需要 CPR0 脉冲时该位为 1，否则为 0，备用位填 0。通过编写不同的微程序，可以实现各种算术逻辑运算操作，如加法、移位等。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:  （6）根据实验要求配置ram如下：          初始数据如上图所示，000000，000000，600080，800040，000028  (7)在Sources窗口下的Design sources中，根据[实验任务](#X235b964e49820cd75bed49e483d9561e9ff1263)的电路图拖拽相应模块，完成原理图的输入。  原理图如下：  电路图如下：    （8）右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。  fig:  （9）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA平台上面分析其正确性。  微程序执行结果验证 ：以实现 0110＋1000 的微程序为例，按 CPU 复位键清 μPC 后，按两次单脉冲键，第一条微指令执行完毕，将 0110 送入 R0，1000 送入 R1；再按第三次单脉冲键，执行 R0 + R1 → R2 操作，运算结果存放在 R2 中，并通过 LED3 - 0 正确显示，验证了微程序的正确性和 CPU 的基本运算功能。  在点击四下clk后，输出如下：1110，十进制为14，验证了饰演的正确性。    其他微程序测试 ：还可以编制多种多样的微程序来完成各种操作，如 2×（R0＋R1）→ R2、1/2（R0＋R1）→ R2 等，并通过 similar 的方法进行测试，进一步验证 CPU 的通用性和灵活性。  平台测评结果如下： | | | |
| 结论分析与体会：  本次实验成功实现了 CPU 综合实验电路的设计与微程序控制，通过编写不同的微程序，完成了多种算术逻辑运算任务，加深了对 CPU 组成和工作原理的理解，熟练掌握了微程序设计方法在 CPU 控制中的应用，以及运用 Vivado 软件和 FPGA 云实验平台进行数字系统设计与验证的流程和技巧，实现了预期的实验目的。  通过本次实验，我全面了解了 CPU 的内部结构和工作原理，学会了如何运用微程序设计方法来控制 CPU 实现各种运算功能，提高了自己在数字系统设计、微程序编写以及 FPGA 开发方面的综合能力和实践技能。同时，在实验过程中遇到的一些问题，如电路连接错误、微程序编写错误等，也让我更加注重细节和严谨性，培养了自己分析问题和解决问题的能力。 | | | |
| 就ram配置和时钟信号处理的：  一开始没有注意到，初始从ram读出的数据是从2号记忆单元读出的，把初始数据配置成了，600080，800040，000028，数据应该为000000，000000，600080，800040，000028修改数据后提测正确。  下面是时钟信号的处理，一开始以为三个时钟周期就可以结束，然后为了方便调试，把时钟信号都连接到了btn\_clk，但是运行结果都为0，后来在提测结果栏里发现要有四个时钟周期，这时候吧clk\_100M连接到了rom的inclock和UIR的CPUIR。这时候结果正确，测评通过。 | | | |